



Laborgyakorlat

Logikai áramkörök számítógéppel segített tervezése (CAD)

Bevezetés

A laborgyakorlatok alapvető célja a tárgy későbbi laborgyakorlataihoz szükséges ismeretek átadása, az azokban szereplő korszerű tervezési és vizsgálati eszközök, módszerek első bemutatása.

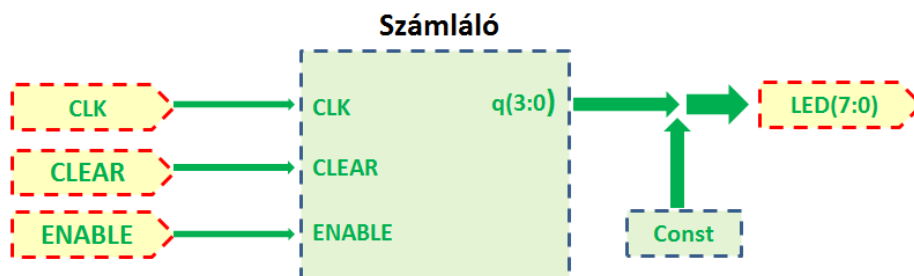
Napjainkban egyre szélesebb körben alkalmazzák a digitális elektronikus eszközöket. Az eszközök bonyolultsága is egyre nő, nagyon gyakori az olyan alkalmazás, amelynél egyetlen IC tokba több százezer vagy akár több millió kaput integrálnak. Ezek az áramkörök hagyományos papír-ceruza módszerekkel már nem tervezhetők, számítógéppel segített tervezésre (CAD) van szükség. A laborgyakorlatok során a **Xilinx ISE WebPack** fejlesztő rendszert és annak a kapcsolási rajz alapú logikai áramkörtervezését használjuk.

A laboratóriumi gyakorlatok célja, hogy a hallgatók

- ismerjék meg a laborgyakorlatok során használt hardver és szoftver eszközöket;
- ismerjék meg a Xilinx ISE Webpack FPGA fejlesztő környezetet és használatát;
- sajátítsák el a kapcsolási rajz alapú logikai áramkörtervezés alapjait;
- önállóan készítsenek el egy kapcsolási rajz alapú példaalkalmazásokat, majd szimulációval és valós hardveren ellenőrizzék azok működését.

Bevezető-gyakorló feladat (4 bites számláló)

Feladat: egy 4-bites számláló tervezése (1. ábra), szimulációja és letöltése az előző órai bemutató alapján.



1. ábra - 4 bites számláló blokkvázlata

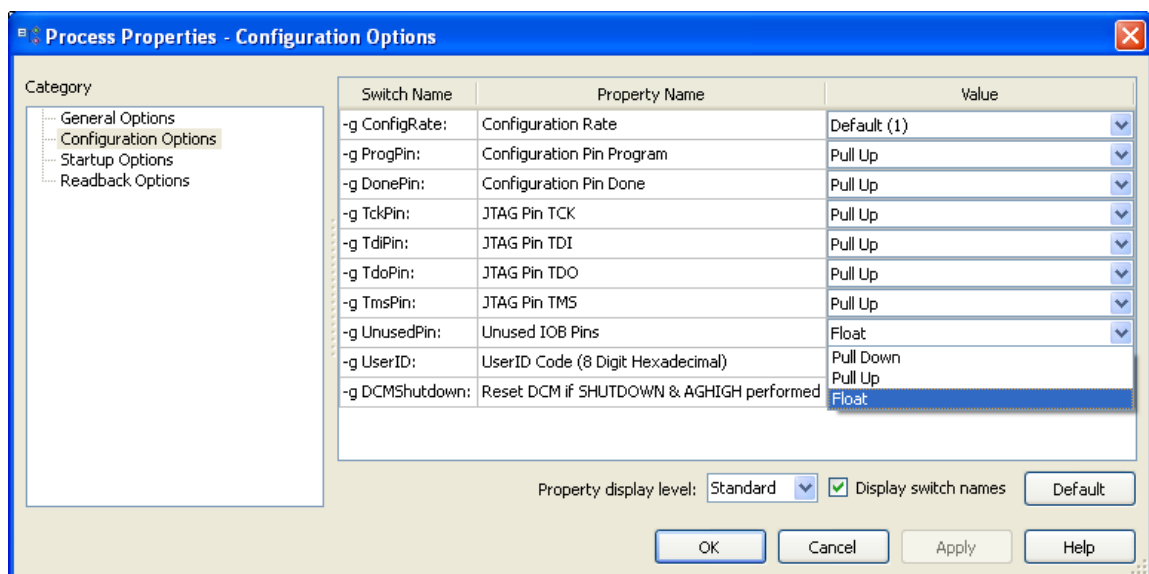


A számláló bemenetei a CLK, CLEAR és ENABLE vezérlő bemenetek. A hálózat belső állapota a fejlesztőpanelen található 8 darab LED segítségével legyen megjelenítve, úgy hogy a 8 bites LED port alsó 4 helyi értéke a számláló állapotát, míg a többi LED konstans nulla értéket jelenítsen meg. A következő táblázatban a feladat megoldásához szükséges port nevek és a hozzájuk tartozó lábkiosztás található meg.

A feladathoz szükséges port nevek (ucf file)			
Port név	Busz	CP132 tokozás	Leírás
CLK	-	NET "clk" LOC = "C11";	Órajel bemenet: BTN1 nyomógomb
CLEAR	-	NET "clear" LOC = "G12";	Számláló törlő bemenete: BTN0 nyomógomb
ENABLE	-	NET "enable" LOC = "P11";	Számláló engedélyező bemenete: SW0 kapcsoló (felkapcsolva engedélyezi a számlálást)
LED(7:0)	8 bit	NET "Led<7>" LOC = "G1"; NET "Led<6>" LOC = "P4"; NET "Led<5>" LOC = "N4"; NET "Led<4>" LOC = "N5"; NET "Led<3>" LOC = "P6"; NET "Led<2>" LOC = "P7"; NET "Led<1>" LOC = "M11"; NET "Led<0>" LOC = "M5";	Számláló állapotát megjelenítő LED-ek portjai

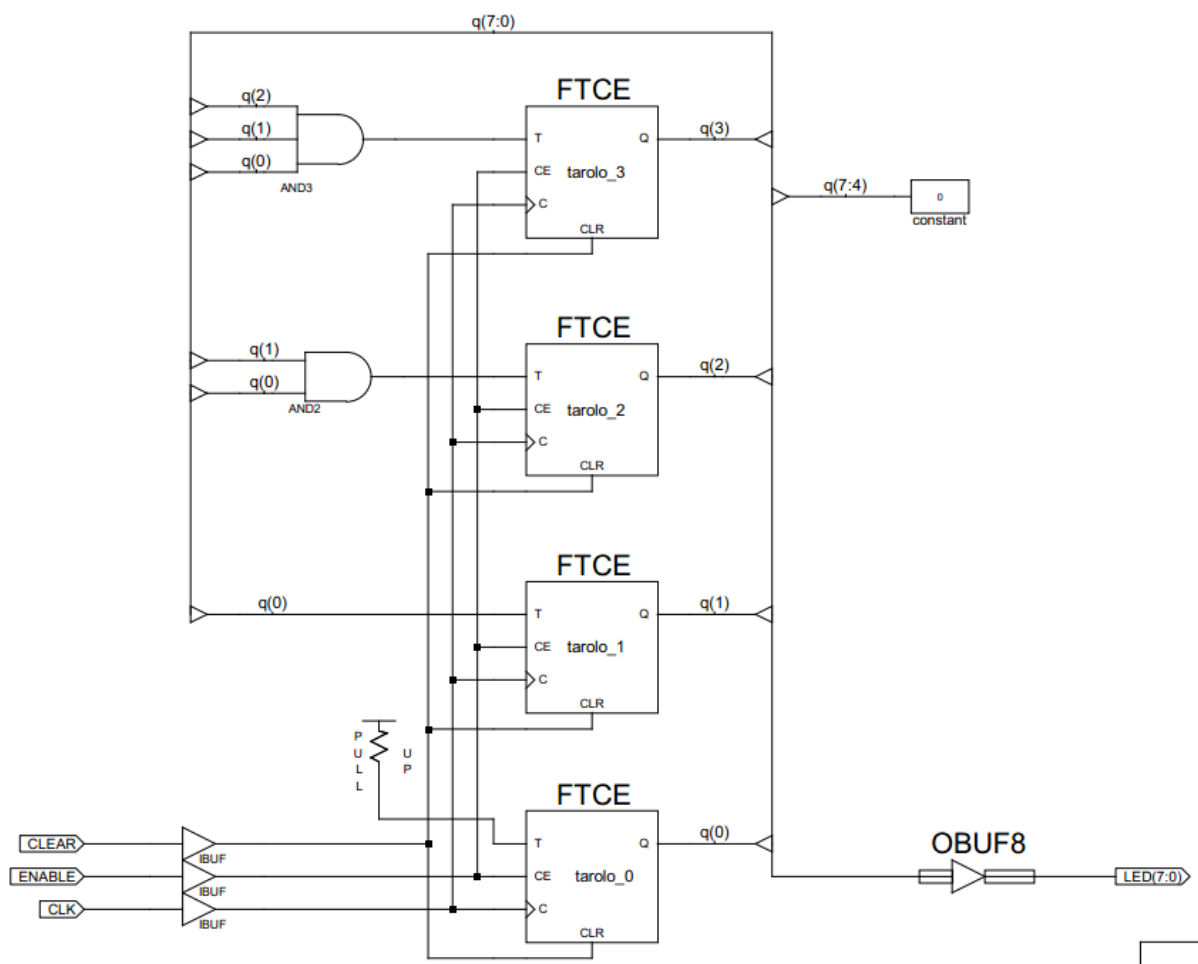
A nem használt LED-eket (és hétszegmenses kijelzőket – most nincs ilyen) két módon lehet letiltani:

1. a terven elhelyezzük a szükséges tiltást biztosító kimeneteket (a LED-eket '0' tiltja le, a 7-szegmenses kijelzőket pedig az '1'-es
2. az ISE „Generate Programming File” parancs jobbgombos „Process Properties” menüjében az Unused IOB Pins (nem használt lábak) tulajdonságot Float-ra kell beállítani:





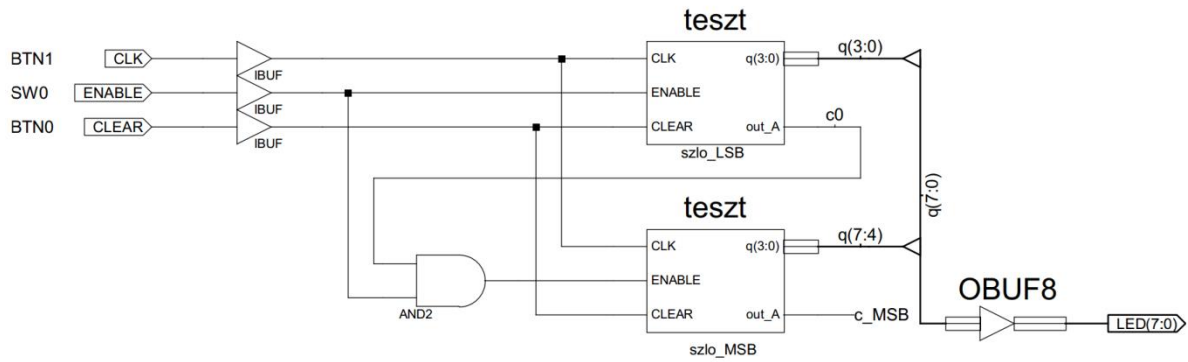
Lab_02: 4-bites binaris, szinkron számláló T-taroloval



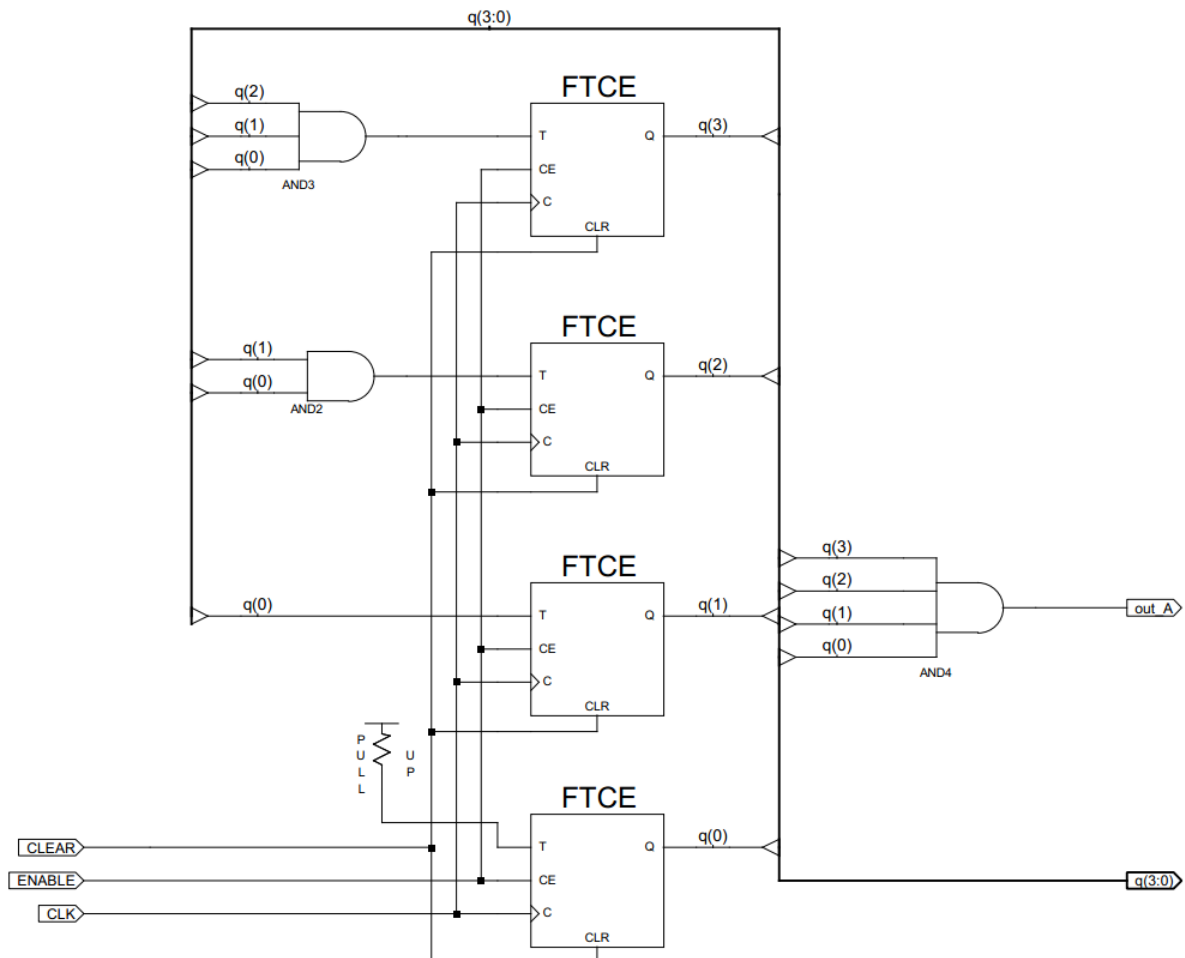
A be-, ill. kimenetekről az IBUF-ok, ill. az OBUF-ok el is hagyhatóak, mivel az ISE fordító automatikusan elhelyezi azokat! A későbbiekben sem kötelező azokat a terven kézzel elhelyezni.



Lab_02: hierarchikus terv készítése saját modul (teszt) létrehozásával

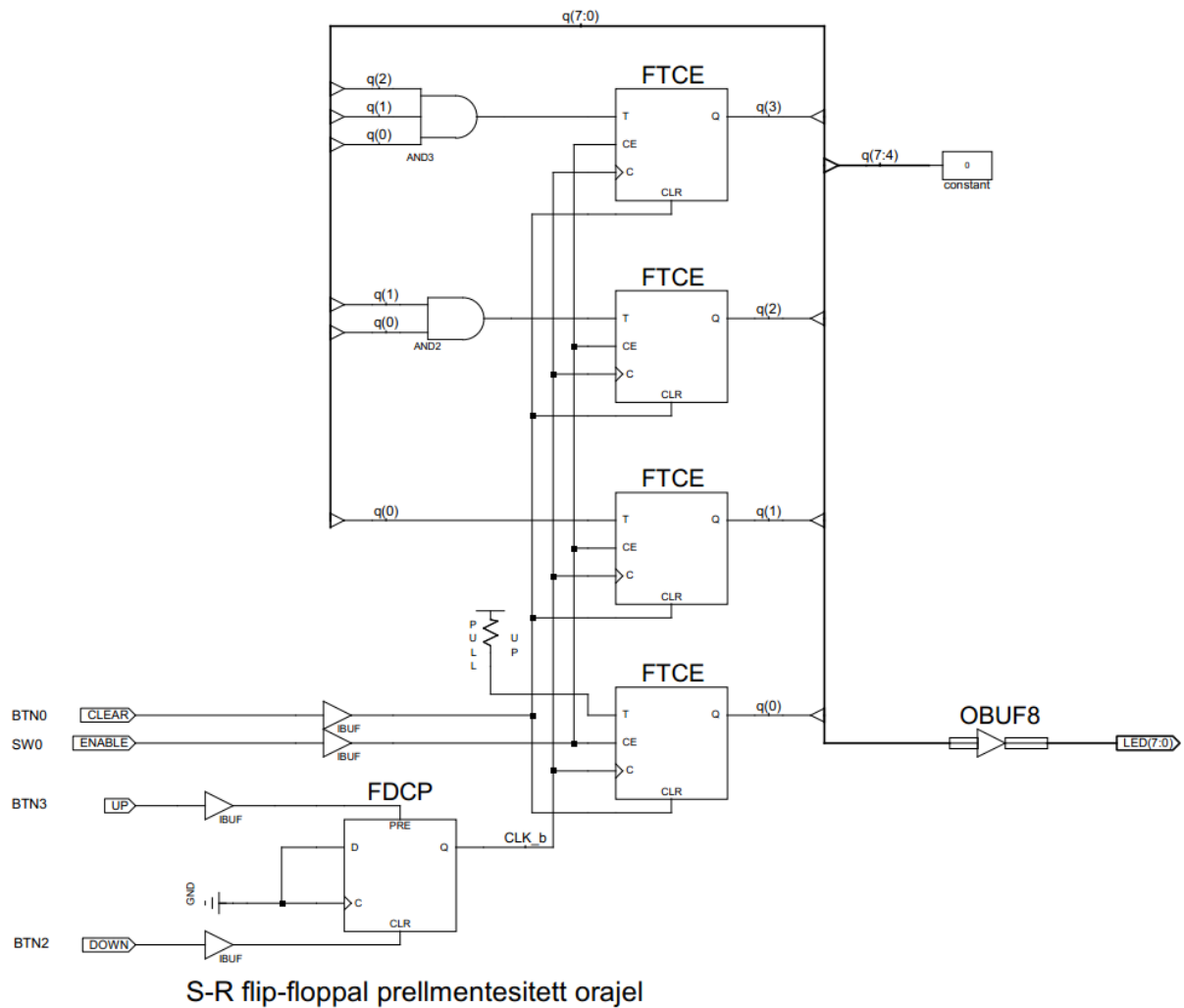


Lab_02: Teszt modul: 4-bites szinkron számláló T-taroloval





Lab_02: 4-bites binaris, szinkron számláló T-tarolval
S-R flip-floppal prellmentesített orajellel



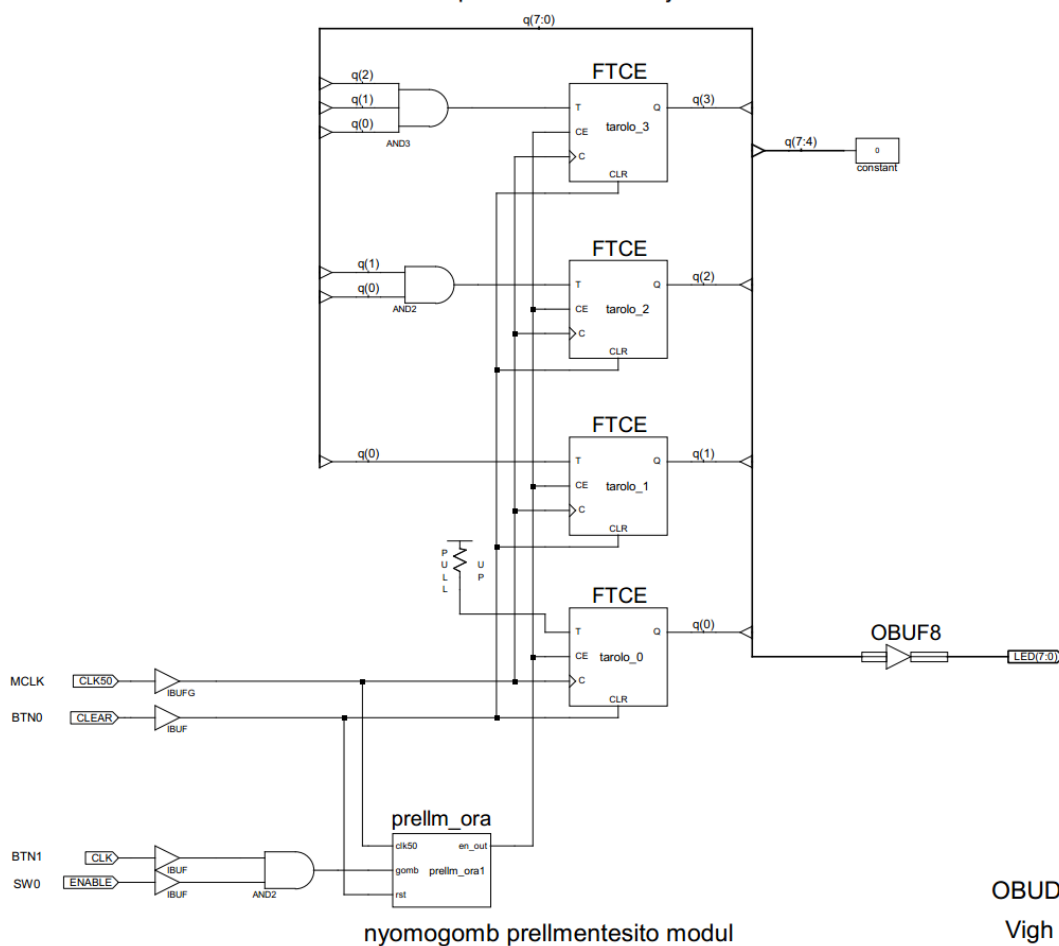


Végül a teljesen korrekt megoldás:

A „prellm_ora” modul egy VHDL nyelven megírt saját alkatrész (makrónak is nevezik), amelyik a BTN1 nyomógomb jelét prellmentesíti (zavarmentesíti) **és szinkronizálja az MCLK órajelhez, ami a szinkron számlálót is működteti.**

Ebben a megoldásban a számláló mindegyik T-tárolójának órajel bemenetére közvetlenül rákötjük az MCLK órajelet és a számláló növelését úgy oldjuk meg, hogy a BTN1 nyomógomb jelét prellmentesítő „prellm_ora” modul kimeneti jelével engedélyezzük a tárolókat. Egy gombnyomás hatására mindig csak egyetlen órajel ciklusig kapnak engedélyező jelet a tárolók.

Lab_02: 4-bites binaris, szinkron szamlalo T-taroloval
prellmentesített órajellel





Alkalmazandó műszerek és eszközök

- PC számítógép
- Digilent Basys2 Spartan-3E FPGA mérőpanel
- Digilent Adept konfiguráló szoftver

Hivatkozások, felkészüléshez ajánlott irodalom

- [1] FPGA fejlesztés a Xilinx ISE Webpack-ben, Elektronikus formában a tantárgy honlapján
- [2] Digilent Basys2 Board Reference Manual, Elektronikus formában a tantárgy honlapján
- [3] Spartan-3E Libraries Guide for Schematic Designs, Elektronikus formában a tantárgy honlapján
- [4] Kóré László: Digitális elektronika I. BMF 1121
- [5] Arató Péter: Logikai rendszerek tervezése, Tankönyvkiadó